

CMOS IMAGE SENSOR

Publication number: JP2001245309 (A)

Publication date: 2001-09-07

Inventor(s): FUNAKI MASANORI

Applicant(s): VICTOR COMPANY OF JAPAN

Classification:

- International: H01L27/146; H04N5/335; H04N9/07; H01L27/146; H04N5/335; H04N9/07; (IPC-1-7); H04N9/07; H01L27/146; H04N5/335

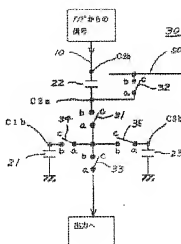
- European:

Application number: JP20000051195 20000228

Priority number(s): JP20000051195 20000228

Abstract of JP 2001245309 (A)

PROBLEM TO BE SOLVED: To provide a CMOS image sensor that can apply the color difference progressive method to a complementary color filter at a low cost. **SOLUTION:** In the CMOS image sensor where pixels each having a photo diode, an amplifier MOSFET and a prescribed complementary color filter are arranged in matrix and which has CDS circuits each having a 1st memory, applying CDS processing to an output of the pixel and provided to columns of the pixels, each CDS circuit is provided with a 2nd memory section, a 1st switch that controls input/output of a signal to/from the 1st memory section, and a 2nd switch section that controls input/output of a signal to/from the 2nd memory section; and summing a 1st signal of the pixels of a prescribed row stored in the 1st memory section and a 2nd signal of the pixels of a succeeding row to the prescribed row stored in the 2nd memory section can output a signal of the color difference noninterlace system for a complementary color.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-245309

(P2001-245309A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 4 N	9/07	H 0 4 N 9/07	A 4 M 1 1 8
			C 5 C 0 2 4
H 0 1 L	27/146	5/335	E 5 C 0 6 5
H 0 4 N	5/335	H 0 1 L 27/14	A

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21) 出願番号	特願2000-51195(P2000-51195)	(71) 出願人	000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地
(22) 出願日	平成12年2月28日(2000.2.28)	(72) 発明者	舟木 正紀 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

最終頁に続

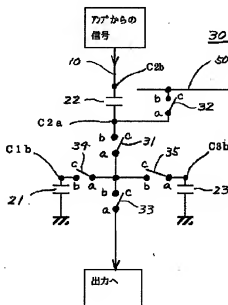
[最終頁に続く](#)

(54)【発明の名称】 CMOSイメージセンサ

(57) 【要約】

【課題】 低コストで補色フィルタの色差順次方式を行うことのできるCMOSイメージセンサを提供する。

【解決手段】 フォトダイオードとこのフォトダイオードで生成された電荷を増幅するアンプ用CMOSFEETと所定の色数フィルターとを有する画素がマトリクス状に配置され、第1のメモリを有し前記画素の出力にCDS処理を行い前記画素の列毎に設けたCDS回路を有するCMOSイメージセンサにおいて、前記CDS回路に、第2のメモリ部と、前記第1のメモリ部への信号の出力を制御する第1のスイッチと、前記第2のメモリ部への信号の入出力を制御する第2のスイッチ部とを設け、前記第1のメモリ部に蓄えられた所定の画素の第1の信号と前記第2のメモリ部に蓄えられた前記所定の次の画素の第2の信号とを加算して色別の色差順次方式の信号を出力する。



【特許請求の範囲】

【請求項1】 フォトダイオードとこのフォトダイオードで生成された電荷を増幅するアンプ用MOSFETと前記フォトダイオードの入射光を制限する所定の補色フィルタとを有する画素がマトリクス状に配置されており、第1のメモリを有し前記画素の出力から前記アンプ用MOSFETのノイズを除去するCDS処理を行うCDS回路を有し、前記CDS回路は前記画素の列毎に設けられているCMOSイメージセンサにおいて、前記CDS回路に、第2のメモリ部と、前記第1のメモリ部への信号の入出力を制御する第1のスイッチと、前記第2のメモリ部への信号の入出力を制御する第2のスイッチ部とを設け、前記第1のメモリ部に所定の行の画素の前記CDS処理して蓄えた第1の信号と、前記第2のメモリ部に前記所定の行の次の行の画素の前記CDS処理して蓄えた第2の信号とを加算して補色の色差項次方式の信号として出力する構成としたことを特徴とするCMOSイメージセンサ。

【請求項2】 請求項1に記載のCMOSイメージセンサにおいて、前記第1のメモリ部と前記第2のメモリ部とを同一容量を有するコンデンサより構成したことを特徴とするCMOSイメージセンサ。

【発明の詳細な説明】

【0001】

【発明に係る技術分野】 本発明はCMOSイメージセンサに属する、特にインターラインの信号を自動的に生成するCMOSイメージセンサに関するものである。

【0002】

【従来の技術】 固体の光電変換素子すなわち半導体の光イメージセンサとして、大きく分けてCCD方式とCMOSセンサ方式の2種類のイメージセンサがある。CCD方式イメージセンサ（以下、単にCCDという）は現在広く実用に供されているが、光電変換部と光電変換を駆動する駆動部（すなわち周辺回路部）とは、半導体素子構造が異なるので、別々の半導体集積回路の製造工程（プロセス）によって製造されている。

【0003】 一方、CMOSセンサ方式のイメージセンサ（以下、単にCMOSイメージセンサという）においては、光電変換部及び駆動部は、通常のCMOS-LSIプロセスとほとんど同じ工程によって製造することができるので、CMOS-LSI用の製造ラインをそのまま使うこと、同一基板上に光電変換部と駆動部を混在して作製することができると、小型化されたイメージセンサを低コストで製造できるというメリットがある。

【0004】 他方、CMOSセンサにはCCDに比べて固定パターン雑音が大いという問題があることが知られている。これに対しては、光電変換部の出力信号をノイズキャンセラである相関二重サンプリング回路（Correlated Double Sampling 図 50

路、以下、単にCDS回路ともいう）を通すことによって、ノイズを低減している。

【0005】 以下、添付図面を参照して、従来例のCMOSイメージセンサを具体的に説明する。図1は、従来例のCMOSイメージセンサの基本構成を示す図である。図1には、表示の簡便さのために2行2列分の画素構成を有するCMOSイメージセンサ1が表示されている。従って、実際には、例えばエリアセンサにおいては、縦横にそれぞれ所定数の画素が配列されており（すなわち、画素の所定数の行と列が形成されている）、また、例えばラインセンサにおいては、所定数の画素が1行、あるいは1列だけ配列されている。

【0006】 各画素は、行選択トランジスタ6、リセット用トランジスタ7、アンプ用トランジスタ8及びフォトダイオード9より構成されている。フォトダイオード9のP側は接地されており、フォトダイオード9のN側は、リセット用トランジスタ7のソース電極（単に、ソースともいう）及びアンプ用トランジスタ8のゲート電極（単に、ゲートともいう）に接続されている。リセット用トランジスタ7のドレイン電極（単に、ドレインともいう）は、行選択トランジスタ6のドレイン及び基準電圧供給線17に接続されている。基準電圧供給線17は、図示しない基準電圧電源に接続されており、所定の電圧が供給されている。行選択トランジスタ6のソースは、アンプ用トランジスタ8のドレインに接続されている。なお、後述するトランジスタも含めて、各トランジスタのゲート、ドレイン、ソースは、図中において、それぞれ、G、D、Sと表示されている。

【0007】 各画素を駆動し、各画素（の素子）からの出力信号を取り出し、図示しない信号処理回路に出力するために、垂直シフトレジスタ5、負荷トランジスタ2、ノイズキャンセラ11、信号読み出し用トランジスタ14及び水平シフトレジスタ13が配置されている。垂直シフトレジスタ5には、所定行数の行信号出力線15及びリセット信号出力線16が接続されている。行信号出力線15は、行選択トランジスタ6のゲートに接続されている。リセット信号出力線16は、リセット用トランジスタ7のゲートに接続されている。

【0008】 各画素列毎に負荷トランジスタ2が配置されている。図示しない基準電圧電源に接続され、所定の基準電圧が供給されている基準電圧供給線3に、負荷トランジスタ2のドレインが接続されている。負荷トランジスタ2のゲートは、負荷トランジスタ駆動線4に接続されている。負荷トランジスタ2のソースは列信号出力線10に接続されている。列信号出力線10は、各画素列毎に配置されている。列信号出力線10は、各画素アンプ用トランジスタ8のソースに接続されており、後述するノイズキャンセラに接続されている。

【0009】 信号読み出し用トランジスタ14のドレインはノイズキャンセラ11に、ソースは信号出力線12

に、ゲートは水平シフトレジスタ13に、それぞれ接続されている。

【0010】次に、画素部の基本動作について説明する。まず、垂直シフトレジスタ5より、ある行のリセット信号出力線16を通してリセット用トランジスタ7のゲートに、ある電圧例えば、3.6Vが印加され、これによりリセット用トランジスタ7がオンする。

【0011】ここで、リセット用トランジスタ7のしきい値電圧が0.6Vとすると、フォトダイオード9のN型端子には、3V (=3.6V-0.6V)の電圧がかかる。この電圧がフォトダイオード9の初期電圧となる。

【0012】次に、リセット信号出力線16に印加された電圧がローレベルに切り替わり、リセット用トランジスタ7がオフになる。この状態で、光がフォトダイオード9に入射すると、フォトダイオード9には、光電効果により光の量に比例した電子ホール対が発生する。ホールはグラッドの方へ逃げいき、電子がフォトダイオード9のN型へ行って、フォトダイオード9のN型端子電圧(すなわちアンプ用トランジスタ8のゲート電圧)が 20 例えば2Vに下がる。

【0013】その後、垂直シフトレジスタ5から行信号出力線15を通して所定の電圧が、行選択トランジスタ6のゲートに印加されて、行選択用トランジスタ6がオンし、この結果、基準電圧供給線17を通して、行選択トランジスタ6のドレインに電圧が印加されているので、行選択トランジスタ6のソースを通して、アンプ用トランジスタ8のドレインに電圧がかかり、アンプ用トランジスタ8がオンする。

【0014】ここで、アンプ用トランジスタ8はソース 30 フォロア回路になっており、列信号出力線10の電位 V_{as} (=アンプ用トランジスタ8のソース電位)が「ゲート電位(=フォトダイオード9のN型端子電位)-アンプ用トランジスタ8のしきい値電圧」になるように電荷を増幅する。例えばしきい値電圧が0.6Vとすると、列信号出力線10の電位は1.4V (=2.0V-0.6V)になる。

【0015】ところで、上述のように、列信号出力線10にかかる電位 V_{as} はアンプ用トランジスタ8のしきい値電圧の影響を受ける。各画素のアンプ用トランジスタ8のしきい値電圧が変動しなければ、問題ないのであるが、実際にアンプ用トランジスタを構成するMOSFETのしきい値電圧は、チップ内で30mV程度ばらついているのが普通である。しきい値電圧のばらつきはそのままだ列信号出力線10の出力電圧(すなわち出力信号)のばらつき、つまりノイズになってしまう。信号のバツキ30mVはフォトダイオード9の出力1Vに対して非常に大きなものになってしまう。CMOSイメージセンサにおける固定パターン雑音のかなりの割合をこのしきい値電圧のばらつきが占めている。

【0016】したがって、上記のしきい値電圧のばらつきに起因する雑音を除去するために、相関2重サンプリング回路(単に、CDS回路ともいう)を設ける。これらの方法は各種提案されており、以下にCDS回路の例をあげる。

【0017】図2は、相関2重サンプリング回路(CDS回路)の一例を示す回路構成図である。入力信号出力線10を通して入力される。信号出力線10は第2容量22の一方に接続され、第2容量22の端子C2aは、第2スイッチ32の一端aと第1スイッチ31の一端bに接続されている。第2スイッチ32の一端bは、図示しない基準電圧源に接続する基準電圧供給線50に接続されている。第1スイッチ31の一端aは第1容量21の端子C1bと第3スイッチ33の一端bに接続されている。第1容量21の他方の端子は接地されている。第3スイッチ33の端子aは、信号読出し用トランジスタ14のドレインに接続されており、出力が取り出される。

【0018】リセット用トランジスタ7をオンしてフォトダイオード9のN型端子を初期電圧3.0Vでリセットしたとき、行選択トランジスタ6もオンして、光による信号が入っていない初期信号を列信号出力線10に出力する。このとき、列信号出力線10の出力 V_{as} は、3.0Vからアンプ用トランジスタのしきい値電圧0.6Vを引いた2.4Vとなる。

【0019】このときCDS回路の第1スイッチ31、第2スイッチ32は閉じており、第3スイッチ33は開いている。基準電圧供給線50には、例えば3.0Vの基準電圧 V_{ref} が供給されている。従って、この状態では、端子C2aの電位は3.0Vであり、列信号線出力線10は2.4Vであるから、第2容量22には0.6Vの電位差がかかる。第1容量21には、端子C1bの電位が3.0Vの基準電圧 V_{ref} であるから、グラッドとの間に3.0Vがかかる。

【0020】次に、リセット用トランジスタ7及び行選択トランジスタ6をオフして、フォトダイオード9による電荷蓄積を行う。電荷蓄積の後、再び行選択トランジスタ6をオンにし、これによりアンプ用トランジスタ8をオンにし、アンプ用トランジスタ8のソースより出力電圧を取り出す。このとき、CDS回路中の第2スイッチ32を開いてオフにし、第1スイッチ31を開いたオン、第3スイッチ33を開いたオフのままにする。上述したようにフォトダイオード9のN型端子での電圧が1Vで2.0Vになっていたため、列信号出力線10への出力はアンプ用トランジスタ8のしきい値電圧0.6Vを引いた1.4Vとなる。

【0021】第2容量22の列信号出力線10側の端子C2bにおける電位の変化は、2.4V-1.4V=1.0Vとなり、これはフォトダイオード9の電位変化 50 分に等しい。このとき、第1容量21の端子C1bにお

ける変化分（これは、第2容量2.2の端子C2aにおける変化と同じ）は、列信号出力線10の電位の変化の（第2容量2.2の容量C2）／（第1容量2.1の容量C1）＋（第2容量2.2の容量C2））倍となる。例えば、 $C1=C2=1\text{ pF}$ とすると、変化分は0.5Vとなる。

【0022】したがって、このときの端子C1bの電位は、 $3.0\text{V}-0.5\text{V}=2.5\text{V}$ となる。フォトダイオード9のN型端子の変化分に比例した値のみ出しているため、アンプ用トランジスタ8のしきい値成分は除去されている。次に、第1スイッチ31をオフ、第3スイッチ33をオンにして（第2スイッチ32はオフのまま）、信号読み出し用トランジスタ14のソースにノイズがキャンセルされた信号を出力する。

【0023】このように、CD回路を通過後の信号は、フォトトランジスタの変化分に比例した成分のみであり、アンプ用トランジスタのしきい値電圧、熱雑音等が除去されており、したがって、固定パターン雑音が抑制されている。

【0024】次に、補色フィルタの色差順次方式によるインターライン信号の取出し方について説明する。単板カラーイメージセンサの場合、画素毎に所定の異なった色フィルタを装着した画素より色情報（すなわち信号）を得る。このとき、赤、緑、青の原色を抽出する原色フィルタを用いる場合と、これら原色の補色を抽出する補色フィルタを用いる場合がある。補色フィルタを用いる場合、補色の信号を演算して、元の色情報を復元する必要がある。

【0025】例として、補色であるマゼンタ（単に、Mgと表記もする）、シアン（単に、Cyと表記もする）、黄色（単に、Yと表記もする）、及び原色の緑（単に、Gと表記もする）を用いる場合について説明する。図3は、色差順次方式における画素に内蔵される補色フィルタの配列の一例を示す構成図である。ここでは、補色フィルタがマゼンタである画素を単にMg画素、シアンの場合Cy画素、黄色の場合Y画素、緑の場合G画素という。

【0026】図3に示すように、CMOSイメージセンサの画素部の1行目には、左端（1列目、以下同じ）より、Mg画素111、G画素112、Mg画素、G画素、…が繰り返して配列されている。2行目には、左端よりCy画素121、Y画素122、Cy画素、Y画素、…が繰り返して配列されている。3行目には、左端よりG画素131、Mg画素132、G画素、Mg画素、…が繰り返して配列されている。4行目には、左端よりCy画素141、Y画素142、Cy画素、Y画素、…が繰り返して配列されている。

【0027】5行目以下は、上述の1から4行目の配列が繰り返して配列されている。色差順次方式のインターレース走査においては、第1フィールドの第1ラインとし

て、1行目と2行目の同じ列の画素信号を加算して色信号をつくる。すなわち、 $Mg+Cy$ 、 $G+Y$ 、 $Mg+Cy$ 、 $G+Y$ 、…の時系列信号をつくる。第1フィールドの第2ラインとして、同様に、3行目と4行目の同じ列の画素信号を加算して色信号を得る。すなわち、 $G+Cy$ 、 $Mg+Y$ 、 $G+Cy$ 、 $Mg+Y$ 、…の時系列信号を得る。以下、同様にして、第3ライン以下の色信号を得る。そして、作成された色信号を順次読出し、所定の処理を行い、第1フィールドをつくる。

【0028】次に、第2フィールドでは、第1ラインとしては、第1フィールドでの行の組み合わせを1行づつずらした同じ列の画素信号を加算して色信号を得る。すなわち、第1ラインとして、2行目と3行目の同じ列の画素信号を加算して、 $Cy+G$ 、 $Y+Mg$ 、 $Cy+G$ 、 $Y+Mg$ 、…の時系列信号を得る。第2ラインとしては、4行目と5行目の同じ列の画素信号を加算して、 $Cy+Mg$ 、 $Y+G$ 、 $Cy+Mg$ 、 $Y+G$ 、…の時系列信号を得る。以下同様にして、他のラインに対する色信号を得、作成された色信号を順次読出し、所定の処理を行い、第2フィールドをつくる。次にまた第1フィールドをつくり、第2フィールドをつくる。この処理を1秒間に60回行うと、インターレースの動画信号が出来る。

【0029】

【発明が解決しようとする課題】ところで、CCDの場合には、構造上、各行の画素と画素の間にある領域に、これらの画素の電荷を直接流し込んで、信号を加算し、この加算された信号をCCDにより転送する。すなわちインターライン方式を採用しているので、非常に効率的である。

【0030】一方、CMOSセンサの場合には、電荷を転送するCCDのような機構がないので、なんらかの方法で信号を足し合わせる機構を設ける必要がある。ひとつの方法として、信号をすべて読み出してA/D変換を施した後、最低2ライン分のメモリに記憶し、その後信号を処理するという方法がある。しかしこの方法では、メモリを別に設ける必要に加え、信号処理の手間がかかってしまう。またビデオ用のCCDをそのまま置き換えることができない。

【0031】別の方法として、例えば特開9-46596号に開示されているように、フォトトランジスタに1つ、あるいは複数のスイッチをつけて、1つのアンプ用のトランジスタのゲート電極に縦方向2つの素子から電荷を混ぜて出力するという方法がある。しかしこの方法では、1つの画素のトランジスタ数が増えてしまい、微細化に問題である。

【0032】そこで本発明は、上記課題を解決し、CMOSイメージセンサにおいて、低コストで補色フィルタの色差順次方式を行うことのできるCMOSイメージセンサを提供することを目的とするものである。

【0033】

【課題を解決するための手段】上記目的を達成するための手段として、本発明のCMOSイメージセンサは、フォトダイオードとこのフォトダイオードで生成された電荷を増幅するアンプ用MOSFETと前記フォトダイオードの入射光を制限する所定の補色フィルタとを有する画素がマトリクス状に配置されており、第1のメモリを有し前記画素の出力から前記アンプ用MOSFETのノイズを除去するCDS処理を行うCDS回路を有し、前記CDS回路は前記画素の列毎に設けられているCMOSイメージセンサにおいて、前記CDS回路に、第2のメモリ部と、前記第1のメモリ部への信号の入出力を制御する第1のスイッチと、前記第2のメモリ部への信号の入出力を制御する第2のスイッチ部とを設け、前記第1のメモリ部に所定の行の画素の前記CDS処理して蓄えた第1の信号と、前記第2のメモリ部に前記所定の行の次の行の画素の前記CDS処理して蓄えた第2の信号とを加算して補色の色差順次方式の信号として出力する構成としたことを特徴とするCMOSイメージセンサを提供しようとするものである。

【0034】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。なお、従来の構成と同一の構成については、同一の参照符号を付して、その説明を省略する。

【0035】まず、信号処理回路の構成を説明する。図4は、本発明のCMOSイメージセンサに内蔵されるCDS回路を含む信号処理回路を示す回路構成図である。本実施例においては、従来のCDS回路20に代えて、信号処理回路30を有している。この信号処理回路30は、従来のCDS回路20に第3容量23、第4スイッチ34及び第5スイッチ35を加えたものである。

【0036】アンプ用トランジスタ8からの出力は列信号出力線10を通して入力される。列信号出力線10は第2容量22の一方の端子C2bに接続され、第2容量22の端子C2aは、第2スイッチ32の端子aと第1スイッチ31の端子bに接続されている。第2スイッチ32の端子bは、図示しない基準電圧源に接続する基準電圧供給線50に接続されている。

【0037】第1スイッチ31の端子aは第4スイッチ34の端子a、第3スイッチ33の端子b及び第5スイッチ35の端子に接続されている。第4スイッチ34の端子bは、端子C1bを経て第1容量21接続されており、第1容量21の他端は接地されている。第5スイッチ35の端子aは、端子C3bを経て第3容量23に接続されている。第3容量23の他端は接地されている。第3スイッチ33の端子aは、信号読出し用トランジスタ14のドレインに接続されており、出力が取り出される。

【0038】次に、色差順次方式の動作について説明す

る。まず、第1フィールドにつき説明する。第1ラインの第1行の画素、例えばMg画素111に対する信号処理回路30におけるCDS動作は、第1容量21及び第2容量22を用いて行う。リセット用トランジスタ7をオンしてフォトダイオード9のN型端子を初期電圧3.0Vでリセットしたとき、行選択トランジスタ6もオンして、光による信号が入っていない初期信号を列信号出力線10に出力する。このとき、列信号出力線10の出力電圧 V_{as} は3.0Vからアンプ用トランジスタ8のしきい値電圧0.6Vを引いた2.4Vとなる。

【0039】このとき信号処理回路30の第4スイッチ34、第1スイッチ31、第2スイッチ32は閉じており、第5スイッチ35、第3スイッチ33は開いている。基準電圧供給線50には、例えば3.0Vの基準電圧 V_{ref} が供給されている。従って、この状態では端子C2aの電位が3.0Vであり、列信号出力線10が2.4Vであるから、第2容量22には0.6Vの電位差がかかる。第1容量21には、端子C1bの電位が基準電圧 V_{ref} の3.0Vであるからグラウンドとの間に3.0Vがかかる。

【0040】次に、行選択用トランジスタ6及びリセット用トランジスタ7をオフして、フォトダイオード9による電荷蓄積を行う。電荷蓄積の後、再び行選択トランジスタ6をオンにし、これによりアンプ用トランジスタ8をオンにし、アンプ用トランジスタ8のソースより出力電圧を列信号出力線10に取り出す。このとき、第2スイッチ32を開いてオフにし、第1スイッチ31及び第4スイッチ34はオン、第5スイッチ35、第3スイッチ33はオフのままにする。ここで、フォトダイオード9のN型端子での電位が1V下って2.0Vになっていたとすると、列信号出力線10への出力は、アンプ用トランジスタ8のしきい値電圧0.6Vを引いた1.4Vとなる。

【0041】第2容量22の列信号出力線10側の電位変化は、 $2.4V - 1.4V = 1.0V$ となり、これはフォトダイオード9の電位変化分に等しい。このとき、第1容量21の端子C1bにおける変化分（これは、第2容量22の端子C2aにおける変化分と同じ）、列信号出力線10の電位変化の（第2容量22の容量 $C2$ / （第1容量21の容量 $C1$ ） + 第2容量22の容量 $C2$ ）倍となる。例えば、 $C1 = C2 = 1pF$ とするとき、変化分は0.5Vとなる。

【0042】従って、このときの端子C1bの電位は3.0 - 0.5 = 2.5Vとなる。フォトダイオード9のN型端子の電位変化分に比例した値のみ出しているで、アンプ用トランジスタ8のしきい値成分は除去されている。次に、第4スイッチ34をオフにして、1回目のCDS動作の結果（すなわち、Mg画素111の出力結果）を第1容量21に保持する。

【0043】次に第1ラインの第2行の画素、例えばC

y 画素 121 に対する信号処理回路 30 における CDS 動作は、第 2 容量 22 及び第 3 容量 23 を用いて行う。まず第 1 スイッチ 31、第 5 スイッチ 35、第 2 スイッチ 32 を閉じてオンにして端子 C2a、端子 C3b を基準電圧 V_{ref} の 3.0V にする。第 3 スイッチ 33 は開いたままでオフである。第 4 スイッチ 34 は、2 回目の CDS 動作が終了するまで開いてオフのままである。

【0044】次の画素（この場合、Cy 画素 111 など）のリセット用トランジスタ 7' をオンしてフォトダイオード 9' の N 型端子の初期電圧を 3.0V でリセットしたとき、行選択トランジスタ 6' もオンして、信号が入っていない初期信号を列信号出力線 10 に出力する。この画素のアンプ用トランジスタ 8' のしきい値電圧が 0.61V となると、列信号出力線 10 の出力は 3.0V からアンプ用トランジスタ 8' のしきい値電圧 0.61V を引いた 2.39V となる。

【0045】このとき信号処理回路 30 の第 1 スイッチ 31、第 5 スイッチ 35、第 2 スイッチ 32 は閉じてオン、スイッチ 34、スイッチ 33 は開いてオフである。端子 C2a の電圧が 3.0V であり、端子 C2b が 2.39V であるから、第 2 容量 22 には、0.61V の電位差がかかる。第 3 容量 23 には、端子 C3b の電圧が基準電圧 V_{ref} の 3.0V であるから、グラウンドとの間に 3.0V がかかる。第 1 容量 21 は 2.5V を保持している。

【0046】次に、行選択トランジスタ 6' 及びリセット用トランジスタ 7' をオフにして、フォトダイオード 9' による電荷蓄積を行う。電荷蓄積の後、行選択トランジスタ 6' をオンにし、これによりアンプ用トランジスタ 8' をオンにし、アンプ用トランジスタ 8' のソースより出力電圧を取出す。このとき、第 2 スイッチ 32 を開いてオフにする。第 4 スイッチ 34、第 3 スイッチ 33 は開いたオフのままである。第 1 スイッチ 31、第 5 スイッチ 35 は閉じたオンのままである。

【0047】フォトダイオード 9' の N 型端子での電位が 1.1V 下って 1.9V になっていたとすると、列信号出力線 10 への出力はアンプ用トランジスタ 8' のしきい値電圧 0.61V を引いた 1.29V となる。従って、第 2 容量 22 の列信号出力線 10 側の電位変化は、 $2.39V - 1.29V = 1.1V$ となり、これはフォトダイオード 9' の N 型端子の電位変化分に等しい。このとき、第 3 容量 23 の端子 C3b の変化分（これは、第 2 容量 22 の端子 C2a における変化と同じ）は、列信号出力線の電位変化の（第 2 容量 22 の容量 C2）／（（第 2 容量 22 の容量 C2）＋（第 3 容量 23 の容量 C4））倍となる。ここで、 $C2 = C4 = 1pF$ （ $=C1$ ）として、変化分は 0.55V となる。

【0048】従って、このときの端子 C3b の電位は 3.0 - 0.55 = 2.45V となる。フォトダイオード 9' の N 型端子の変化分に比例した値のみ出している

ので、アンプ用トランジスタ 8' のしきい値成分は除去されている。ここで、2 回目の CDS 動作の結果（すなわち、CyMg 画素 121 の出力結果）が第 3 容量 23 に保持される。

【0049】次に、第 1 スイッチ 31 を開いてオフにして、第 4 スイッチ 34 を閉じてオンにし、第 1 容量 21 と第 3 容量 23 の電荷を足しあわせる。すると、端子 C1b（端子 C3b に同じ）の電位は、第 1 容量 21 の容量 $C1 =$ 第 3 容量 23 の容量 $C3 = 1pF$ であるから、 $(2.5V + 2.45V) / 2 = 2.475V$ となり、Mg 画素 111 と Cy 画素 121 の信号が合成されて、色差信号 $(Mg + Cy)$ が得られる。

【0050】次に、第 3 スイッチ 33 を閉じてオンにし、加算した信号を信号読み出し用トランジスタ 14 にソースに出力する。これを、順次、右方向に、第 1 行及び第 2 行の画素に對し適用する。このようにして、第 1 フィールドの第 1 ラインの色差信号列、 $(Mg + Cy)$ 、 $(G + Y)$ 、 $(Mg + Cy)$ 、 $(G + Y)$ 、…、を得る。これを第 2 ライン（第 3 行と第 4 行）以下についても、同じことを繰り返して、全ての画素の情報を読み出す。

【0051】第 2 フィールドについては、第 1 ラインは、第 2 行の画素（Cy 画素 121、Y 画素 122、…、）と第 3 行の画素（G 画素 131、Mg 画素 132、…、）の組み合わせのように、第 1 フィールドにおいて加算する行の画素を 1 行分ずらして、第 1 フィールドと同じように加算して読み出す。このようにして、第 2 フィールドの第 1 ラインの色差信号列、 $(Cy + G)$ 、 $(Y + Mg)$ 、 $(Cy + G)$ 、 $(Y + Mg)$ 、…、を得る。これを第 2 ライン（第 4 行と第 5 行）以下についても、同じことを繰り返して、全ての画素の情報を読み出す。このようにして、信号処理回路 30 にて、色差信号を生成することができ、これを順次読み出すことができる。

【0052】なお、第 5 スイッチ 35 を常に開いておくか、または第 4 スイッチ 34 と第 5 スイッチ 35 が同時にオン、オフするようにすれば、従来例で示した CMOS イメージセンサと同様になるので、この CMOS イメージセンサは 3 板式や原色フィルタにも対応することができる。なお、スイッチとしては、MOSFET を用いるのが好ましい。また、各種トランジスタとしては、MOSFET を用いるものである。このように、本実施例の CMOS イメージセンサの信号処理回路においては、CDS 回路の出力部にスイッチ 1 個とキャパシタ 1 個をつけることにより、補色の順次読み出し操作と同じ動作が可能となる。その結果、既存の CCD に容易に置き換えることができる。既存の CMOS イメージセンサへのこれらの回路の付加は、低コストで実現することができる。

【0053】

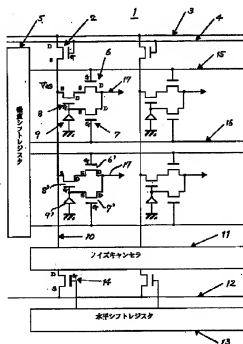
【発明の効果】以上説明したように、本発明のCMOSイメージセンサは、フォトダイオードとこのフォトダイオードで生成された電荷を増幅するアンプ用MOSFETと前記フォトダイオードの入射光を制限する所定の補色フィルタとを有する画素がマトリクス状に配置されており、第1のメモリを有し前記画素の出力から前記アンプ用MOSFETのノイズを除去するCDS処理を行うCDS回路を有し、前記CDS回路は前記画素の列毎に設けられているCMOSイメージセンサにおいて、前記CDS回路に、第2のメモリ部と、前記第1のメモリ部への信号の入出力を制御する第1のスイッチと、前記第2のメモリ部への信号の入出力を制御する第2のスイッチ部とを設け、前記第1のメモリ部に所定の行の画素の前記CDS処理して蓄えた第1の信号と、前記第2のメモリ部に前記所定の行の次の行の画素の前記CDS処理して蓄えた第2の信号とを加算して補色の色差順次方式の信号として出力する構成としたことにより、低コストで補色フィルタの色差順次方式を行うことのできるCMOSイメージセンサを提供することできるという効果がある。

【図面の簡単な説明】

【図1】従来例のCMOSイメージセンサの基本構成を示す図である。

【図2】二重相関サンプリング回路の一例を示す回路構成図である。

【図1】



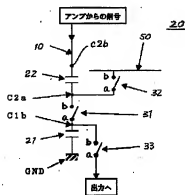
* 【図3】色差順次方式における画素に内蔵される補色フィルタの配列の一例を示す構成図である。

【図4】本発明のCMOSイメージセンサに内蔵されるCDS回路を含む信号処理回路を示す回路構成図である。

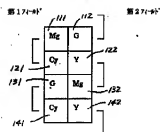
【符号の説明】

1…CMOSイメージセンサ、2…負荷トランジスタ、3…基準電圧供給線、4…負荷トランジスタ駆動線、5…垂直シフトレジスタ、6…行選択トランジスタ、6'…行選択トランジスタ、7…リセット用トランジスタ、7'…リセット用トランジスタ、8…アンプ用トランジスタ、8'…アンプ用トランジスタ、9…フォトダイオード、9'…フォトダイオード、10…列信号出力線、11…ノイズキャンセラ、12…信号出力線、13…水平シフトレジスタ、14…信号読み出し用トランジスタ、15…行信号出力線、16…リセット信号出力線、17…基準電圧供給線、20…CDS回路、21…第1容量、22…第2容量、23…第3容量、30…信号処理回路、31…第1スイッチ、32…第2スイッチ、33…第3スイッチ、34…第4スイッチ、35…第5スイッチ、50…基準電圧供給線、111…M_g画素、112…G画素、121…C_y画素、122…Y画素、131…G画素、132…M_g画素、141…C_y画素、142…Y画素。

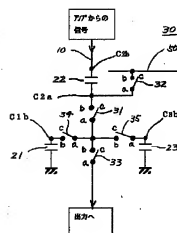
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4M118 AA05 AB01 BA06 CA02 DD11
 DD12 FA06 FA08 FA33 FA42
 FA44 GC08
 5C024 AX01 CX00 CX06 DX01 EX52
 GX03 GY39 HX17 HX28 HX35
 HX50 HX57
 5C065 AA01 BB22 BB48 DD15 EE07
 GG01 GG10 GG11 GG12 GG21
 GG26 GG35